

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-267972  
 (43)Date of publication of application : 22.09.1994

(51)Int.CI. H01L 21/336  
 H01L 29/784

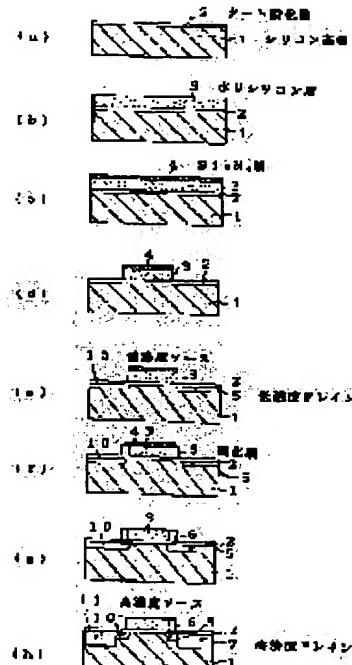
(21)Application number : 03-202319 (71)Applicant : NEW JAPAN RADIO CO LTD  
 (22)Date of filing : 18.07.1991 (72)Inventor : FUNATO AKIHIRO

## (54) MANUFACTURE OF MOS TRANSISTOR

### (57)Abstract:

**PURPOSE:** To enable a high withstand voltage and a microstructure to be provided by implanting ions with a mask film for oxidation and ion implantation as a mask to form a low concentration region, oxidizing the side wall of a polysilicon layer at a specified temperature, and implanting ions with the oxide film as a mask to form a high concentration region, thereby to reduce the electric field concentration on the gate end.

**CONSTITUTION:** On a silicon substrate 1, a gate oxide film 2 is formed, and on the surface thereof, a polysilicon layer 3 is deposited. The polysilicon layer 3 is undoped undoped or doped with an impurity to deposit a SiN film 4 on the polysilicon layer 3 as a mask film for oxidation and ion implantation. Ions are implanted with the SiN film 4 as a mask to form a low concentration source 10 and a low concentration drain 5. Then, the side wall of the polysilicon layer 3 is oxidized at 700° C to 1200° C, and with the oxide film 6 as a mask ions are implanted to form a high concentration source 11 and a high concentration drain 7. As a result, the low concentration drain 5 can be formed in self alignment in the drain end, and a fine gate can thus be formed.



## LEGAL STATUS

[Date of request for examination]	18.05.1998
[Date of sending the examiner's decision of rejection]	
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	3041093
[Date of registration]	03.03.2000
[Number of appeal against examiner's decision of rejection]	

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-267972

(43) 公開日 平成6年(1994)9月22日

(51) Int.Cl.<sup>5</sup>  
H01L 21/336  
29/784

識別記号

F I

9054-4M

H01L 29/78

301 L

審査請求 未請求 請求項の数2 FD (全8頁)

(21) 出願番号 特願平3-202319

(22) 出願日 平成3年(1991)7月18日

(71) 出願人 000191238

新日本無線株式会社

東京都目黒区下目黒1丁目8番1号

(72) 発明者 船渡 昭弘

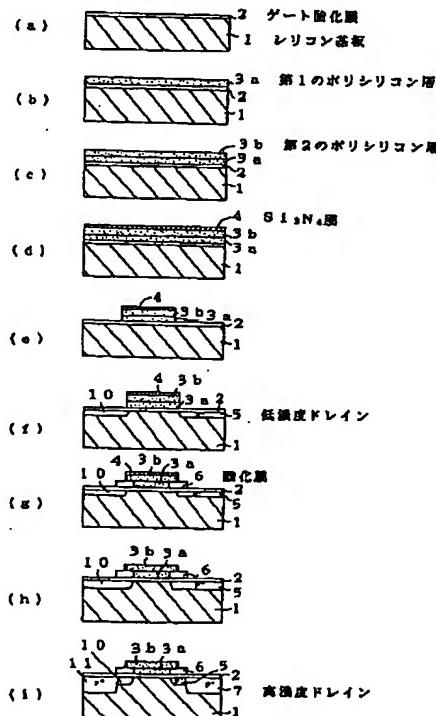
埼玉県上福岡市福岡二丁目1番1号 新日本無線株式会社川越製作所内

(54) 【発明の名称】MOSトランジスタの製造方法

(57) 【要約】

【目的】 高耐圧でホットエレクトロンに対しても高耐圧性の微細な構造のMOSトランジスタを得ることを目的とする。

【構成】 ゲート用ポリシリコンを2層構造とした場合の下部ポリシリコン層に、あるいは単層構造とした場合のポリシリコン層にリン又はヒ素を高濃度にドープし、不純物濃度依存性を利用した側壁酸化膜を形成し、イオン注入することにより低濃度ドレインと高濃度ドレインを自己整合的に形成する方法である。



## 【特許請求の範囲】

【請求項 1】 シリコン基板の素子形成領域の表面に形成したゲート酸化膜上にポリシリコン層を堆積し、該ポリシリコン層はノンドープあるいは不純物をドープし、該ポリシリコン層上に酸化及びイオン注入用マスク膜を堆積し、ゲート領域のパターニングを行ない、該酸化及びイオン注入用マスク膜をマスクにイオン注入し低濃度領域を形成し、700～1200°Cで上記ポリシリコン層の側壁を酸化し、該酸化膜をマスクにイオン注入し高濃度領域を形成することを特徴とするMOSトランジスタの製造方法。

【請求項 2】 シリコン基板の素子形成領域の表面に形成したゲート酸化膜上に第1のポリシリコン層を堆積し、該第1のポリシリコン層にリン又はヒ素を $5 \times 10^{10} / \text{cm}^3$ 以上に不純物を注入し、該第1のポリシリコン層上に第2のポリシリコン層を堆積し、該第2のポリシリコン層はノンドープあるいは $1 \times 10^{10} / \text{cm}^3$ 以下に不純物を注入し、該第2のポリシリコン層上に酸化及びイオン注入用マスク膜を堆積し、ゲート領域のパターニングを行ない、該酸化及びイオン注入用マスク膜をマスクにイオン注入し低濃度領域を形成し、700～1200°Cで上記第1及び第2のポリシリコン層の側壁を酸化し、上記第1のポリシリコン層の酸化膜厚を上記第2のポリシリコン層の酸化膜厚の2倍以上の厚さに形成し、上記第1のポリシリコン層の酸化膜をマスクにイオン注入し高濃度領域を形成することを特徴とするMOSトランジスタの製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、半導体集積回路を構成するMOSトランジスタ、特に高耐圧が要求されるものの製造方法に関する。

## 【0002】

【従来の技術】 図3は通常のMOSトランジスタと従来の高耐圧化のために電界集中の緩和を計ったMOSトランジスタの構造を示す。図において1はシリコン基板、2はゲート酸化膜、3はポリシリコンゲート、5は低濃度ドレイン、7は高濃度ドレイン、8はサイドスペーサ、9はLDD (Lightly doped drain)である。

【0003】 図3(a)は通常のMOSトランジスタを示す。図3(b)はオフセットゲート構造とし、ドレン端に低濃度ドレイン5を設けてゲート端の電界集中の緩和を計ったMOSトランジスタを示し、図3(c)はドレン端のゲート酸化膜2を厚くしてゲート端の電界集中の緩和を計ったMOSトランジスタを示し、図3(d)は自己整合的にLDD9を設けポリシリコンゲート3の側壁にサイドスペーサ8を設けて高濃度ドレインを形成したMOSトランジスタを示す。

## 【0004】

【発明が解決しようとする課題】 従来の図3(b), (c)に示すMOSトランジスタではオフセット構造とするためにマスク合わせを必要とし、このマスク合わせのために微細化が制限されるという問題があった。また従来の図3(d)に示すMOSトランジスタでは自己整合的に形成できるがLDD9の横方向の寸法がサイドスペーサ8の横方向の寸法とほぼ等しい寸法しかとれないため用途が比較的低電圧に限られ、微細化に伴ってドレン端の電界集中が大きくなり短チャネル効果が現われるという問題があった。本発明は上記問題を解決するためになされたもので、自己整合的にドレン端に低濃度ドレンを形成し、高耐圧化と微細化を可能にする方法を提供することを目的とする。

## 【0005】

【課題を解決するための手段】 本発明の製造方法は、シリコン基板の素子形成領域の表面に形成したゲート酸化膜上にポリシリコン層を堆積し、該ポリシリコン層はノンドープあるいは不純物をドープし、あるいは、上記ゲート酸化膜上に第1のポリシリコン層を堆積し該第1のポリシリコン層にリン又はヒ素を $5 \times 10^{10} / \text{cm}^3$ 以上に不純物を注入し、該第1のポリシリコン層上に第2のポリシリコン層を堆積し該第2のポリシリコン層はノンドープあるいは不純物を注入しても不純物濃度を $1 \times 10^{10} / \text{cm}^3$ 以下に抑え、さらに上記单層のポリシリコン層あるいは2層のポリシリコン層上に酸化及びイオン注入用マスクとして使用するSiN等の膜を堆積し、ゲート領域のパターニングを行ない、パターニングしたSiN膜等をマスクにイオン注入を行ない低濃度領域を形成し、上記ポリシリコン層の側壁酸化を行ない、酸化により体積が膨張したポリシリコン層側壁に形成した酸化膜をマスクにイオン注入を行ない高濃度ドレンを形成することを特徴とする方法である。

## 【0006】

【実施例 1】 図1は本発明の実施例の1つである。シリコン基板1にフィールド酸化膜を形成した後、素子形成領域の表面にゲート酸化膜2を形成し(図1(a))、次に表面にポリシリコン層3を1000～3000Å堆積する。このポリシリコン層はノンドープあるいは不純物を注入してもいざれでもよいが、ゲート抵抗の低減のため $5 \times 10^{10} / \text{cm}^3$ 程度の注入を行なう(図1(b))。その上に酸化及びイオン注入用マスク膜としてSiN膜4を1000Å堆積する(図1(c))。この時ポリシリコン層3上にSiO<sub>2</sub>膜を形成しその上にSiN膜を形成する構造を探り入れてもよい。続いてゲート領域のポリシリコン層3をSF<sub>6</sub>+C<sub>2</sub>F<sub>6</sub>, C<sub>2</sub>系ガスでエッティングし(図1(d))、パターニングしたSiN膜をマスクにボロンあるいはフッ化ボロンを30～100keV, 2～8×10<sup>13</sup>/cm<sup>2</sup>の条件で注入を行ない、低濃度ソース10、低濃度ドレン5を形成する(図1(e))。この際通常のイオン注入によって

もよいが、回転イオン注入によると後工程でドライブインを行なう必要がなく、低濃度ソース、ドレインをポリシリコンゲートにオーバーラップさせることができる。また、斜め注入によりドレイン側からソース側に向けて注入を行なうことで低濃度ソースの横方向の寸法を低濃度ドレインの横方向の寸法より小さくすることができる。次に900°C 20分間ウェット酸化を行なう〔図1(f)〕。この時形成される酸化膜厚は2400Å程度である。続いてSiN膜を除去し低濃度ソース10、低濃度ドレイン5がポリシリコンゲート3にオーバーラップするように900~1100°C N<sub>2</sub>雰囲気でドライブインを行なう〔図1(g)〕。次に先の酸化によって形成した酸化膜6をマスクにしてボロンあるいはフッ化ボロンを30~80keV、1~8×10<sup>13</sup>/cm<sup>2</sup>でイオン注入を行ない、高濃度ソース11、高濃度ドレイン7を形成する〔図1(h)〕。これ以後は通常のIC製造工程により層間絶縁膜を形成し、電極、保護膜を形成する。この製造方法により通常のMOSトランジスタより5V程度高耐圧化が計られたMOSトランジスタが形成可能である。

## 【0007】

【実施例2】図2は本発明の他の実施例を示す。シリコン基板1にフィールド酸化膜を形成した後、素子形成領域の表面にゲート酸化膜2を形成し〔図2(a)〕、次に表面に第1ポリシリコン層3aを1000~3000Å堆積する。この第1のポリシリコン層3aはリン又はヒ素を5×10<sup>10</sup>/cm<sup>2</sup>ドープし〔図2(b)〕、その上に第2のポリシリコン層3bを1000~3000Å堆積する。この第2のポリシリコン層はノンドープかあるいは不純物を注入しても濃度を1×10<sup>10</sup>/cm<sup>2</sup>以下に抑える〔図2(c)〕。その上に酸化およびイオン注入用マスク膜としてSiN膜4を1000Å堆積する〔図2(d)〕。この時第2のポリシリコン層3b上にSiO<sub>2</sub>膜を形成しその上にSiN膜を形成する構造を取り入れてもよい。続いてゲート領域のポリシリコン層をSF<sub>6</sub>+C<sub>2</sub>F<sub>6</sub>C<sub>1</sub>系ガスでエッティングし〔図2(e)〕、バーニングしたSiN膜をマスクにボロンあるいはフッ化ボロンを30~100keV、2~8×10<sup>13</sup>/cm<sup>2</sup>の条件で注入を行ない低濃度ソース10、低濃度ドレイン5を形成する〔図2(f)〕。この際通常のイオン注入によつてもよいが、回転イオン注入によると後工程でドライブインを行なう必要がなく、低濃度ソース、ドレインをポリシリコンゲートにオーバーラップさせることができる。また、斜め注入によりドレイン側からソース側に向けて注入を行なうことで低濃度ソースの横方向の寸法を低濃度ドレインの横方向の寸法より小さくすることができる。次に900°C 20分間ウェット酸化を行なう〔図2(g)〕。ポリシリコン層3a、3bの側壁酸化はリン又はヒ素の不純物濃度が5×10<sup>10</sup>/cm<sup>2</sup>以上の場合と1×10<sup>10</sup>/cm<sup>2</sup>以下の

場合とでは形成される酸化膜の厚さに不純物濃度依存性があり、第1のポリシリコン層3aの側壁に形成する酸化膜の厚さは第2のポリシリコン層3bの側壁に形成される酸化膜の厚さより厚くなることを利用して、第1のポリシリコン層3aの側壁に第2のポリシリコン層3bの側壁に形成される酸化膜より2倍以上厚い酸化膜6を形成させる〔図2(h)〕。上記酸化条件では第1のポリシリコン層3aは2400Å第2のポリシリコン層3bは600Åの酸化膜厚が得られる。このリン又はヒ素の不純物濃度に依存する酸化膜の厚さの比率は、700~900°Cウェット酸化では第1のポリシリコン層3aが第2のポリシリコン層3bに較べて4~5倍厚く、900~1200°Cウェット酸化で3~4倍、900~1200°Cドライ酸化で2倍程度であり、この濃度依存性は700~900°Cのウェット酸化において顕著である。しかし、本発明の製造方法では形成される酸化膜厚の比が2倍以上あれば高耐圧化の効果が十分あらわれるため、いずれの酸化方法も適用可能である。続いてSiN膜4を除去し低濃度ドレイン5がT字型構造ゲートの第1のポリシリコン層3aの部分にオーバーラップするように900~1100°C N<sub>2</sub>雰囲気でドライブインを行なう〔図2(i)〕。オーバーラップする構造の方が信頼性の点から優れている。なお、低濃度ドレイン、低濃度ソース形成工程に回転イオン注入を用いた場合には、このドライブインが必要がなくなる。次に先の酸化によって形成した酸化膜6をマスクにしてボロンあるいはフッ化ボロンを30~80keV、1~8×10<sup>13</sup>/cm<sup>2</sup>でイオン注入を行ない、高濃度ソース11、高濃度ドレイン7を形成する〔図2(i)〕。これ以後は通常のIC製造工程により層間絶縁膜、保護膜を形成する。第2のポリシリコン層3bには図2(h)に示す工程以後の熱処理により第1のポリシリコン層3aからリン又はヒ素が拡散するので良好なオーミックコンタクトになる。この製造方法により通常のMOSトランジスタより10V以上高耐圧化が計られたMOSトランジスタが形成可能である。また、マスク合わせが不用のため容易にゲート長を短縮することができ、0.1μmゲートの形成も可能である。

## 【0009】

【発明の効果】以上説明したように本発明によれば、自己整合的にドレイン端に低濃度ドレインを形成できるためマスク合わせがなくなり微細なゲートが形成できる。またポリシリコンゲートと低濃度ドレインの間に厚い酸化膜を自己整合的に形成し、ゲート端の電界集中を緩和し高耐圧化およびホットエレクトロンの発生を抑え、高耐圧構造MOSトランジスタをより微細化することができる。また、低濃度ドレイン形成時に斜め注入することでドレイン側の低濃度領域に較べてソース側の低濃度領域の横方向の寸法を小さくすることができるとなり、オフセットゲート構造が形成可能となりソース抵抗を低減で

きるという効果もある。

【図面の簡単な説明】

【図1】本発明の製造方法を示す説明図である。

【図2】本発明の他の製造方法を示す説明図である。

【図3】通常のMOSトランジスタと従来の高耐圧化のために電界集中の緩和を計ったMOSトランジスタの構造を示す説明図である。

【符号の説明】

1 シリコン基板

2 ゲート酸化膜

3 ポリシリコン層

3a 第1のポリシリコン層

3b 第2のポリシリコン層

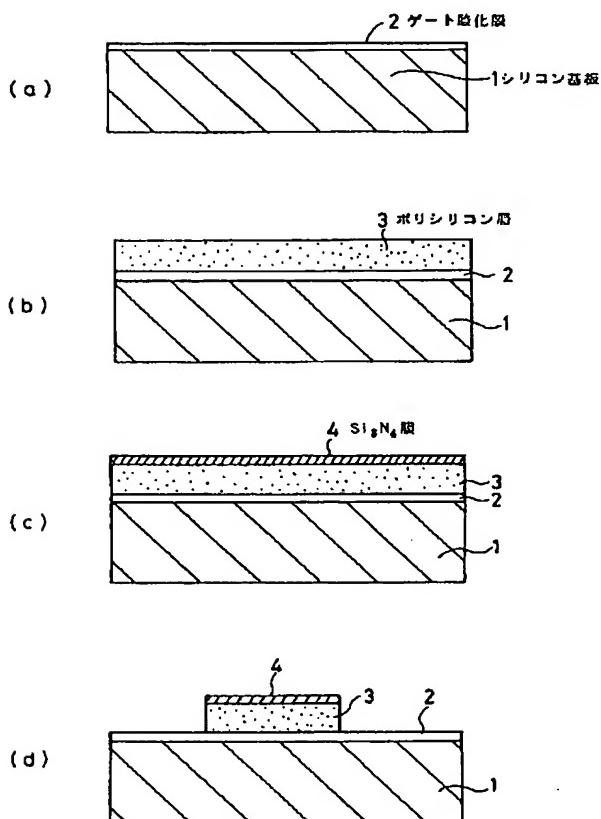
4 SiN膜

5 低濃度ドレイン

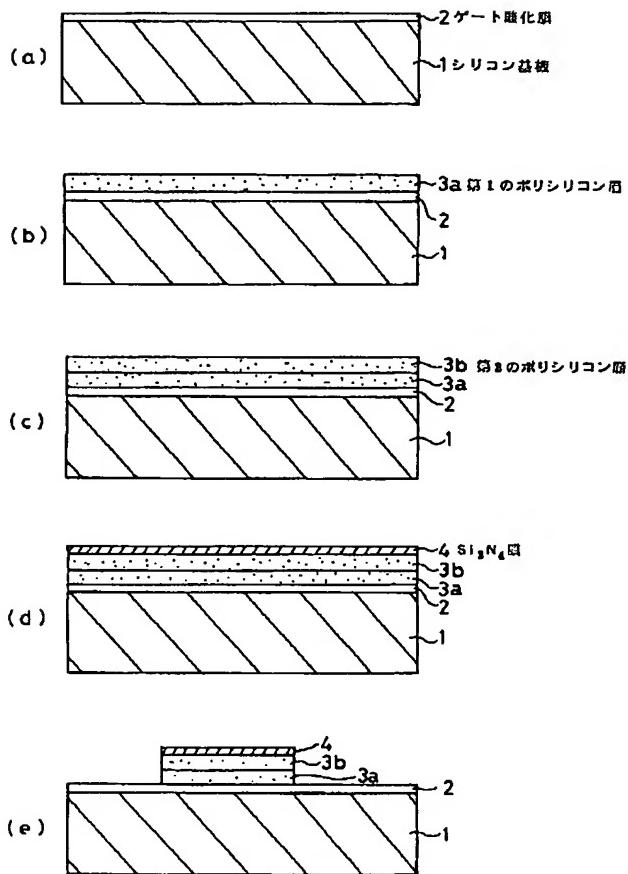
6 酸化膜

7 高濃度ドレイン

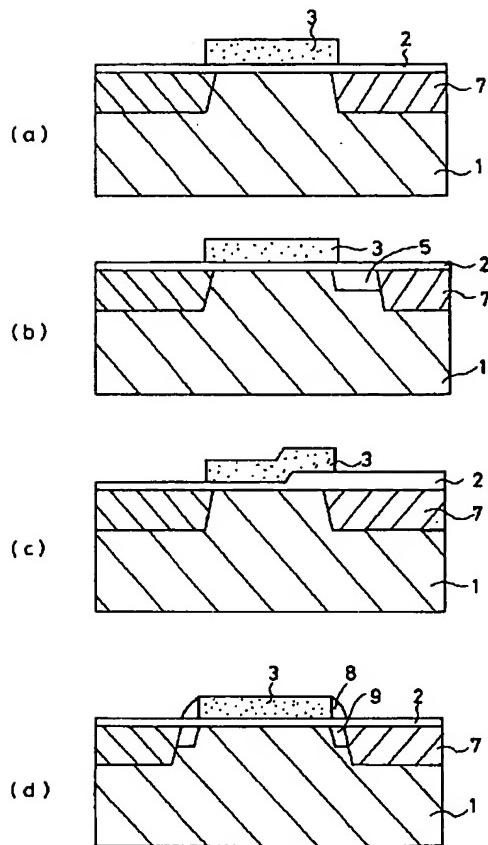
【図1】

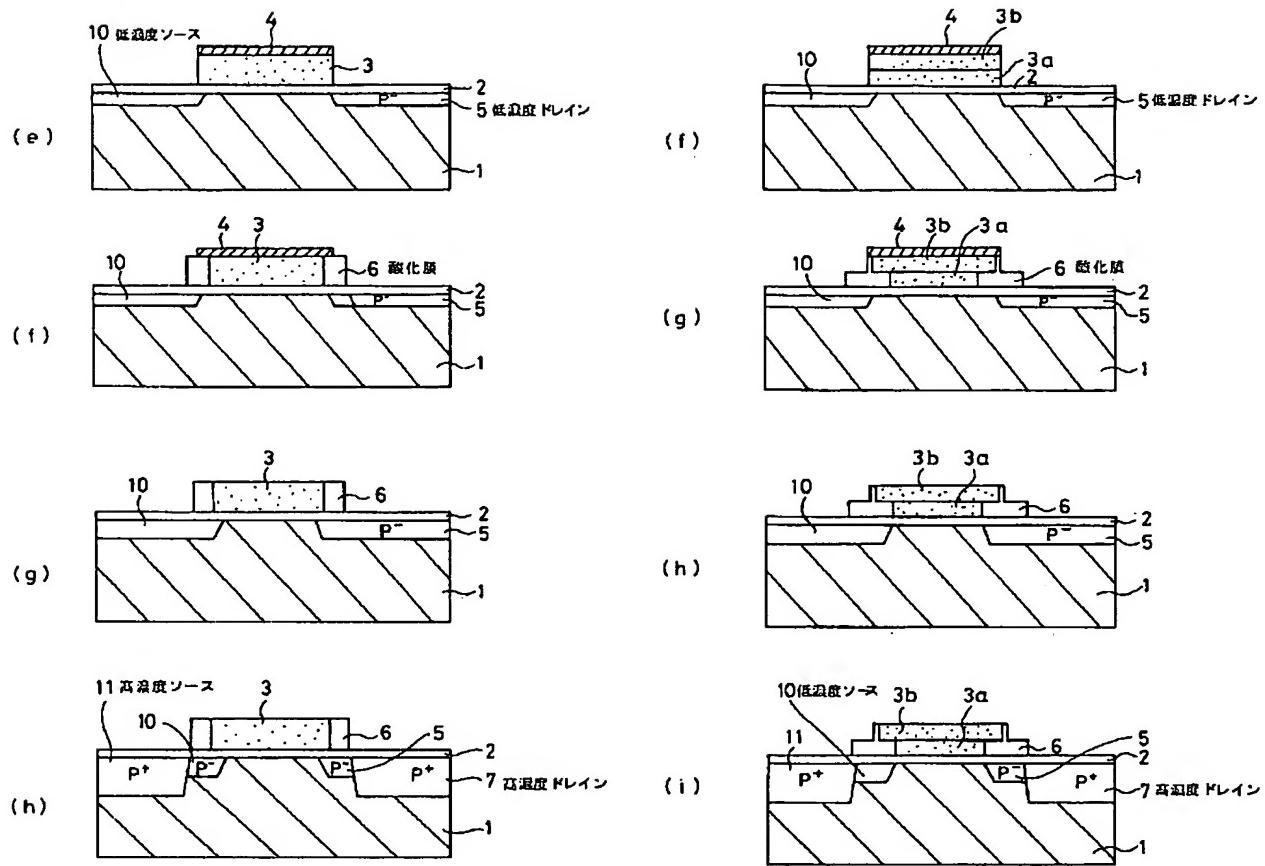


【図2】



【図 3】





【手続補正書】

【提出日】 平成 5 年 7 月 27 日

【手続補正 1】

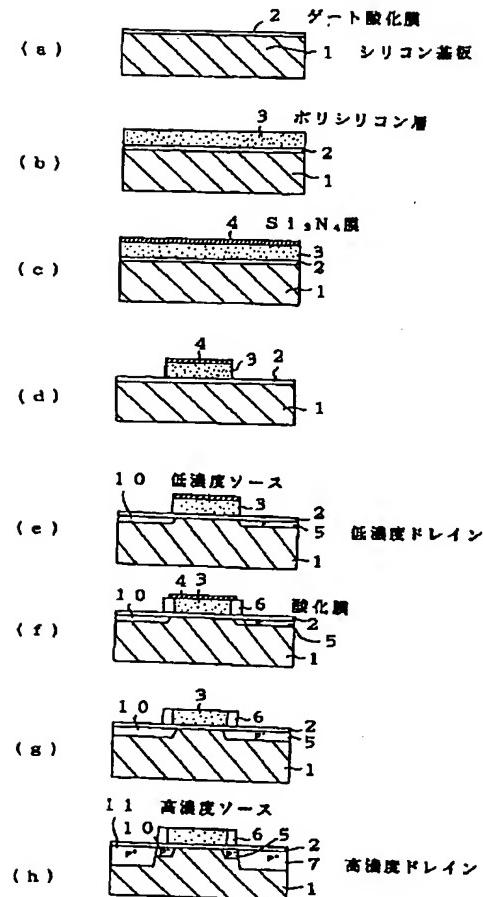
【補正対象書類名】 図面

【補正対象項目名】 全図

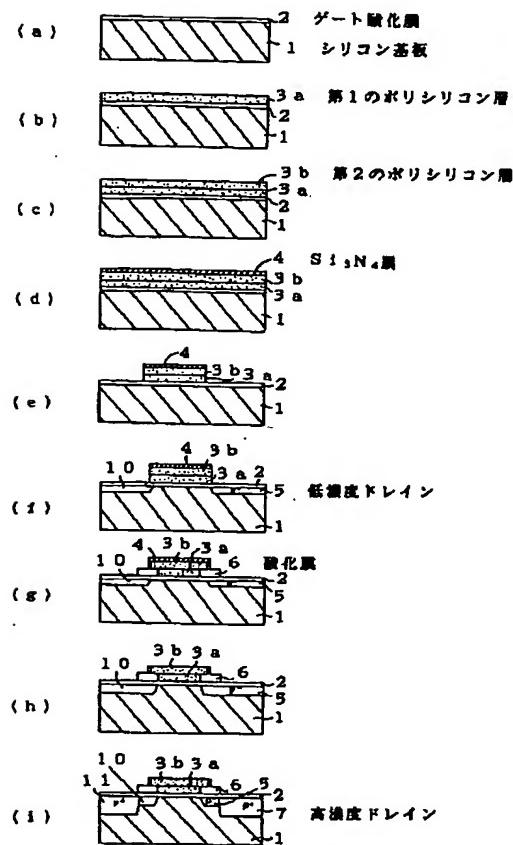
【補正方法】 変更

【補正内容】

【図 1】



【図 2】



【図 3】

